

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-273400

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁶
 G 1 1 C 29/00
 G 0 1 R 31/28
 G 0 6 F 12/16

識別記号
 6 7 5
 3 3 0

F I
 G 1 1 C 29/00
 G 0 6 F 12/16
 G 0 1 R 31/28

6 7 5 C
 3 3 0 A
 B
 V

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平10-75187

(22) 出願日 平成10年(1998)3月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 飯田 好和

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 ▲高▼橋 紫濃

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 西沢 裕孝

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 大日方 富雄

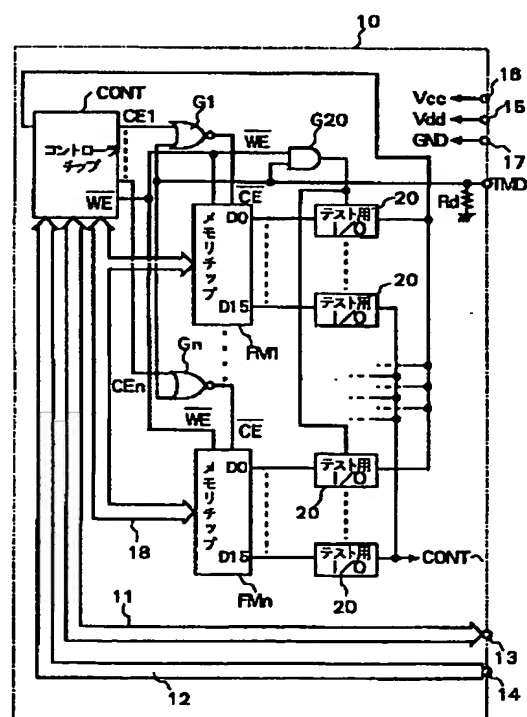
最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】 従来のメモ리카ードの選別試験は、カード内のチップごとにテストパターンを入力する方式であるため、内蔵されるチップの数が多いほど試験時間が長くなるという課題があった。

【解決手段】 複数のメモリチップ (FM) とこれらのメモリチップの選択信号 (CE) および読出し・書込み制御信号 (WE) を形成するコントローラチップ (CONT) を内蔵したメモ리카ードにおいて、各メモリチップのデータ入出力端子毎に、外部からのテストモード制御信号 (TMD) と上記コントローラチップから出力される読出し・書込み制御信号とに基づいて相補的にオン・オフされる一対の伝送手段 (TG1, TG2) を設けるとともに、一方の伝送手段はそのままコントローラチップに接続し、他方の伝送手段は例えばコレクタ接地の出力用トランジスタ (22) などを通じてコントローラチップに接続して、テストモードの際には上記テストモード制御信号に基づいて上記コントローラチップから出力されるチップ選択信号のいかんにかかわらず全てのチップを選択状態にさせるようにした。



【特許請求の範囲】

【請求項1】 複数のメモリチップとこれらのメモリチップの選択信号および読出し・書込み制御信号を形成するコントローラチップを内蔵した記憶装置において、各メモリチップのデータ入出力端子毎に、外部からのテストモード制御信号と上記コントローラチップから出力される読出し・書込み制御信号とに基づいて相補的にオン・オフされる一対の伝送手段を設けるとともに、一方の伝送手段は装置のコントローラチップに接続し、他方の伝送手段は出力用トランジスタを介して上記コントローラチップに接続して、テストモードの際には上記テストモード制御信号に基づいて上記コントローラチップから出力されるメモリチップ選択信号のいかににかかわらず全てのメモリチップを同時に選択状態に移行可能に構成したことを特徴とする記憶装置。

【請求項2】 上記他方の伝送手段と出力用トランジスタとの間には上記メモリチップから読み出されたデータ信号を反転した信号を出力可能な手段を設けたことを特徴とする請求項1に記載の記憶装置。

【請求項3】 上記伝送手段を介して各メモリチップのデータ入出力端子が接続されるコントローラチップの入出力端子は、各メモリチップの入出力データの同一ビット同士で共通のコントローラチップの入出力端子に接続可能に構成されてなることを特徴とする請求項1または2に記載の記憶装置。

【請求項4】 上記伝送手段を介して各メモリチップのデータ入出力端子が接続されるコントローラチップの入出力端子は、各メモリチップごとに入出力データの全ビットが共通のコントローラチップの入出力端子に接続可能に構成されてなることを特徴とする請求項1または2に記載の記憶装置。

【請求項5】 上記出力用トランジスタは、エミッタ端子が上記コントローラチップの入出力端子に接続されたコレクタ接地のバイポーラ・トランジスタからなることを特徴する請求項1、2、3または4に記載の記憶装置。

【請求項6】 上記メモリチップは不揮発性メモリチップであることを特徴する請求項1、2、3、4または5に記載の記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体メモリからなる記憶装置の検査技術さらにはメモリカードの選別試験に適用して有効な技術に関し、例えば複数個のフラッシュメモリチップを内蔵したメモリカードに利用して有効な技術に関する。

【0002】

【従来の技術】 従来、複数個のメモリチップを内蔵したメモリカードの選別試験は、メモリカードに設けられている端子よりテストパターンを入力してメモリチップを

一つずつ選択してそのチップから出力される全ての信号を判定する方法が一般的であった。

【0003】

【発明が解決しようとする課題】 上記メモリカードの選別試験は、カード内のチップごとにテストパターンを入力する方式であるため、内蔵されるチップの数が多いほど試験時間が長くなるという課題があった。特に、電気的に一括消去可能なフラッシュメモリのような不揮発性メモリを内蔵したメモリカードは、データの書込み、消去時間がRAMのような揮発性のメモリに比べて長い一層試験時間が長くなるという欠点がある。しかも、メモリカードは年を追うごとに大容量化され内蔵されるチップ数も増加する傾向があるため、短時間に選別試験が可能な技術が望まれていた。

【0004】 この発明の目的は、メモリカードの選別試験に要する時間の大幅な短縮を可能にする技術を提供することにある。

【0005】 この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0007】 すなわち、複数のメモリチップとこれらのメモリチップの選択信号および読出し・書込み制御信号を形成するコントローラチップを内蔵したメモリカードのような記憶装置において、各メモリチップのデータ入出力端子毎に、外部からのテストモード制御信号と上記コントローラチップから出力される読出し・書込み制御信号とに基づいて相補的にオン・オフされる一対の伝送手段を設けるとともに、一方の伝送手段はそのままカードのコントローラチップに接続し、他方の伝送手段は例えばコレクタ接地の出力用トランジスタなどを介してカードのコントローラチップに接続して、テストモードの際には上記テストモード制御信号に基づいて上記コントローラチップから出力されるチップ選択信号のいかににかかわらず全てのチップを選択状態へ移行可能に構成したものである。

【0008】 上記した手段によれば、選別試験の際に装置内のすべてのメモリチップに対して同時テストパターンを入力して記憶させ、かつ全てのメモリチップから同時に記憶データを読み出してそれらのワイヤードオア論理をとった信号を装置のデータ入出力用端子から出力させることができるため、1チップずつ順番にテストパターンの入力および出力を行なう従来の選別試験方法に比べて大幅に試験時間を短縮することが可能となる。

【0009】 特に、上記メモリチップが不揮発性メモリチップである場合には、RAMなどに比べてデータの書込みや消去に時間を要するため、複数のチップに対して

テストパターン同時に入力して同時に出力を判定することによる試験時間の短縮の効果が極めて大きいという利点がある。

【0010】また、上記他方の伝送手段と出力用トランジスタとの間には各メモリチップから読み出されたデータ信号を反転した信号を出力可能な手段を設けるようにした。これによって、データ“0”を書込み不能なビットを有する不良メモリチップとデータ“1”を書込み不能なビットを有する不良メモリチップのいずれの不良をも検出することができる。

【0011】さらに、上記伝送手段を介して各メモリチップのデータ入出力端子が接続される装置のコントローラチップの入出力端子は、各メモリチップの入出力データの同一ビット同士で共通化させるようにしても良いが、各メモリチップごとにデータ入出力端子を共通のコントローラチップの入出力端子に接続可能に構成しても良い。これによって、短時間に選別試験が可能な上に装置内のどのメモリチップが不良であるか識別して検出することが可能となる。その結果、不良チップを内蔵する記憶装置は、検出された不良チップを使用できないように処理をして全体の容量を1ランク下げた良品として（例えば30Mバイトのメモリカードなら15Mバイトのメモリカードなどとして）提供することもできるようになる。

【0012】また、上記出力用トランジスタは、エミッタ端子が上記コントローラチップの入出力端子に接続されたコレクタ接地のバイポーラ・トランジスタにより構成するようにした。これによって、バッファ回路等を用いて出力する場合に比べて素子数を減らし、占有面積を小さくできるとともに、コントローラチップの入出力端子までの配線（プリント配線）の有する寄生抵抗や寄生容量などの負荷を容易に駆動することができる。

【0013】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。

【0014】図1は、本発明を適用したフラッシュメモリカードの第1の実施例を示す。

【0015】この実施例のメモリカードは、特に制限されないが、 n 個のフラッシュメモリチップFM1～FM n と、外部から入力されるアドレス信号や制御信号に基づいて各メモリチップに対する選択信号CE1～CE n および読出し・書込み制御信号/WE（ロウレベルのとき書込みが有効）を形成する制御用チップとしてのコントローラチップCONTが、プリント配線基板10上に搭載され、全体が樹脂等によりモールドされて構成される。上記コントローラチップCONTは1個ないし数個の半導体チップで構成され、基板10上に形成されたアドレスバス11およびコントロールバス12を介して外部端子13、14に接続されている。また、コントローラ

チップCONTとフラッシュメモリチップFM1～FM n との間は別のバス18を介して接続されている。

【0016】この実施例では、上記各メモリチップFM1～FM n のデータ入出力端子ごとテスト用入出力回路20が設けられており、各メモリチップの対応するテスト用入出力回路20同士は、コントローラチップCONTの入出力端子にそれぞれ共通に接続される。すなわち、この実施例のメモリチップFM1～FM n は各々16個のデータ入出力端子D0～D15を備えており、各メモリチップの第1のデータ入出力端子D0は対応して設けられているテスト用入出力回路20を介してコントローラチップCONTの第1の入出力端子I/O0に接続され、各メモリチップの第2のデータ入出力端子はコントローラチップCONTの第2の入出力端子に、また、第3のデータ入出力端子はコントローラチップCONTの第3の入出力端子に接続される。以下同様にして、メモリチップの各データ入出力端子は対応するコントローラチップCONTの入出力端子にそれぞれ接続されている。

【0017】さらに、この実施例のメモリカード10には、上記コントローラチップCONTから各メモリチップFM1～FM n に対して供給されるチップ選択信号CE1～CE8を一方の入力とし、他方の入力に外部から供給されるテストモード信号TMD（ハイレベルが有効）が与えられるようにされたNORゲートG1～G8が各メモリチップFM1～FM n ごとに設けられている。これとともに、全メモリチップFM1～FM n に対して出力される共通の読出し・書込み制御信号/WEを一方の入力とし、他方の入力に外部から供給されるテストモード信号TMDが与えられるようにされたANDゲートG20が設けられ、このANDゲートG20の出力信号によって各データ入出力端子ごとに設けられた上記テスト用入出力回路20が制御されるように構成されている。15はメモリチップFM1～FM n およびコントローラチップCONTに供給される電源電圧V $_{dd}$ が印加される外部電源端子、16はテスト用入出力回路20に供給される電源電圧V $_{cc}$ （ $>V_{dd}$ ）が印加される外部電源端子、17はカード内のすべての回路に供給される接地電位が印加される外部接地端子である。電源電圧V $_{cc}$ はカード内部でV $_{dd}$ から発生するようにしても良い。

【0018】なお、上記実施例では、テストモード信号TMDが入力される端子にプルダウン抵抗R $_{d}$ が接続されており、通常使用状態でこの端子がオープン状態（何も電圧が印加されない状態）にされても、誤ってテストモードに入らないように構成されている。また、上記テストモード信号TMDは、カードに空き端子があるときはその端子から、また空き端子がないときは例えばコントローラチップから出力するように構成することができる。その場合、コントローラチップは、外部より入力さ

れる制御信号の未使用の組合わせに基づいて、テストモードが指示されているか判定して制御信号TMDを形成するように構成することができる。

【0019】さらに、図1の実施例では、テスト用入出力回路20が各々別個の回路として示されているが、これらの回路は1つの半導体チップ上にまとめて形成しておいたり、あるいはコントローラチップCONTへ取り込んで1チップ化することも可能である。

【0020】図2には、上記テスト用入出力回路の具体的な回路構成例が示されている。この実施例のテスト用入出力回路20は、メモリチップのデータ入出力端子 D_i ($i=0\sim 15$)とコントローラチップCONTの入出力端子 I/O_i との間に一対のPチャネルMOSFETとNチャネルMOSFETとが並列接続されたCMOSトランスマッションゲードからなる伝送手段TG1、TG2が並列に設けられているとともに、一方の伝送手段TG1とコントローラチップCONTの入出力端子 I/O_i との間にはレベル変換回路21とコレクタ接地のバイポーラ・トランジスタからなる出力用トランジスタ22とが設けられている。

【0021】レベル変換回路21は、例えば一対のPチャネルMOSFET MP1、MP2と一対のNチャネルMOSFET MN1、MN2とからなり互いのドレイン端子がPMOS MP1、MP2のゲート端子に交差結合されたCMOSラッチ型回路で構成され、各メモリチップから出力されるTTLレベルの信号をコレクタ接地のバイポーラ・トランジスタ22の出力に変換し、出力レベルの2値化を実現している。そして、各出力トランジスタ22のエミッタ端子は共通結合され、CMOSトランスマッションゲートからなるスイッチSWおよび抵抗 R_c を介して接地点に接続され、ワイヤードOR論理をとった出力がコントローラチップCONTの入出力端子に供給されるように構成されている。

【0022】上記一対の伝送手段TG1、TG2は、テストモード制御信号TMDと読出し・書込み制御信号/WEとを入力信号とする前記ANDゲートG20の出力信号によって制御され、テストモード制御信号TMDがテストモードでない通常動作モードを示すロウレベルにされているときは、TG1、TG2のうちTG2が導通状態にされて、メモリチップのデータ入出力端子 D_i とコントローラチップCONTの入出力端子 I/O_i との間を直結する。これによって、通常モードでは、メモリチップのデータ入出力端子 D_i から出力されたデータ信号は直ちにコントローラチップCONTの入出力端子 I/O_i よりコントローラチップCONTへ入力される一方、コントローラチップCONTの入出力端子 I/O_i より出力されたデータ信号はメモリチップのデータ入出力端子 D_i に供給される。

【0023】なお、このとき入力されたデータ信号はコントローラチップCONTの入出力端子 I/O_i を共通

にする他のメモリチップにも供給されるが、通常モードでは各メモリチップはコントローラチップから出力されるチップ選択信号 $CE_1\sim CE_n$ によっていずれか一つのみが有効化されているため、選択されたメモリチップのみが入力されたデータを取り込み、内部のメモリセルに書き込みが行なわれる。

【0024】上記テストモード制御信号TMDがテストモードを示すハイレベルにされているときは、コントローラチップから出力される読出し・書込み制御信号/WEに応じて伝送手段TG1、TG2のうち一方が導通状態にされる。具体的には、テストモードのときに読出し・書込み制御信号/WEが書込みを示すロウレベルにされると、TG1、TG2のうちTG2が導通状態にされて、メモリチップのデータ入出力端子 D_i とコントローラチップCONTの入出力端子 I/O_i の間を直結する。これによって、通常モードでは、メモリチップのデータ入出力端子 D_i から出力されたデータ信号は直ちにコントローラチップCONTの入出力端子 I/O_i よりコントローラチップCONTへ入力される一方、コントローラチップCONTの入出力端子 I/O_i より出力されたデータ信号はメモリチップのデータ入出力端子 D_i に供給される。しかも、このとき入力されたデータ信号はコントローラチップCONTの入出力端子 I/O_i を共通にする他のメモリチップにも供給されるが、テストモードではコントローラチップCONTから出力されるチップ選択信号 $CE_1\sim CE_n$ とテストモード信号TMDとを入力とするNORゲート $G_1\sim G_n$ の出力がすべてロウレベルにされるため、全メモリチップが有効化される。そのため、テストモードでは、すべてのメモリチップがコントローラチップCONTの入出力端子より出力されたデータを取り込み内部のメモリセルに書き込みが行なわれる。

【0025】これに対し、テストモードのときに読出し・書込み制御信号/WEが読出しを示すハイレベルにされると、伝送手段TG1、TG2のうちTG1が導通状態にされて、メモリチップのデータ入出力端子 D_i を対応するテスト用入出力回路20に接続させる。これによって、テストモードでは、メモリチップのデータ入出力端子 D_i から出力された読出しデータ信号はテスト用入出力回路20に供給されてレベル変換され、読出しデータに応じて出力トランジスタ22がオン、またはオフ状態にされる。このオン、オフ状態に応じた信号がコントローラチップCONTの入出力端子 I/O_i よりコントローラチップCONTへ入力される。しかも、このとき、全メモリチップの対応するテスト用入出力回路が共通のコントローラチップ入出力端子に接続されているため、複数(16個)のテスト用入出力回路の出力信号のワイヤードOR論理をとったレベルがコントローラチップCONTの入出力端子に現れることとなる。

【0026】従って、すべてのメモリチップのメモリセ

ルにデータ“0”を書き込んで読出しを行なった結果、コントローラチップCONTの入出力端子のうち一つでもハイレベルになっていれば、いずれかのメモリチップ内にデータ“0”の書込みが行なえないハイ固定の不良メモリセルが存在していることを検出することができる。

【0027】図3には、上記テスト用入出力回路20の他の回路構成例が示されている。この実施例のテスト用入出力回路は、メモリチップ内にデータ“0”の書込みが行なえないハイ固定の不良メモリセルがあるか否かの検出の他、メモリチップ内にデータ“1”の書込みが行なえないロウ固定の不良メモリセルがあるか否かも検出できるようにしたもので、図2のテスト用入出力回路20に若干の回路を追加したものである。

【0028】具体的には、テスト用入出力回路20のレベル変換回路21と出力用トランジスタ22との間に、レベル変換回路21の真と偽の出力ノードN1、N2の電位を選択的に伝送可能な伝送手段TG11、TG12を設け、この伝送手段TG11、TG12をハイ固定不良検出かロウ固定不良検出かを示す信号H/Lによって制御するように構成される。上記伝送手段TG11、TG12もTG1、TG2と同様に、一対のPチャネルMOSFETとNチャネルMOSFETとが並列接続されたCMOSTランスミッションゲートにより構成することができる。CMOSTランスミッションゲートを使用することにより、信号のレベル落ちを防止することができる。

【0029】なお、上記ハイ固定不良検出かロウ固定不良検出かを示す信号H/Lは、テストモード信号TMDと同様に、カードに空き端子があるときはその端子から、また空き端子がないときは例えばコントローラチップから出力するように構成することができる。その場合、コントローラチップは、外部より入力される制御信号の未使用の組合わせに基づいて、いずれのテストモードが指示されているか判定して制御信号H/Lを形成するように構成すればよい。また、伝送手段TG11、TG12を設ける代わりに、制御信号H/Lによって制御されてメモリチップから読み出されたデータ信号の真と偽の信号を出力可能な論理ゲートを設けるようにしてもよい。

【0030】図4は、本発明を適用したフラッシュメモリカードの第2の実施例を示す。図1の実施例では、テスト用入出力回路を介して各メモリチップのデータ入出力端子が接続されるコントローラチップCONTの入出力端子が、各メモリチップの同一ビット同士で共用するように構成されているのに対し、図4の実施例では各メモリチップごとに全データ入出力端子D0～D15を共通のコントローラチップ入出力端子I/Oiに接続可能に構成したものである。すなわち、図4の実施例では、例えばメモリチップFM1のテスト用入出力回路20は

ワイヤードオア結合されて切換えスイッチSW1を介してコントローラチップCONTの入出力端子I/O0に共通に接続可能にされ、メモリチップFMnのテスト用入出力回路20はワイヤードオア結合されて切換えスイッチSWnを介して共通のコントローラチップCONTの入出力端子I/Onに接続可能に構成されている。これによって、この実施例のメモリカードは、短時間に選別試験が可能な上にカード内のどのメモリチップが不良であるか識別して検出することが可能となる。

【0031】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えばカードに内蔵されたすべてのメモリチップのデータ入出力端子に対応してそれぞれ設けられた全テスト用入出力回路20の入出力ノードをワイヤード結合して、コントローラチップCONTの入出力端子の1つに共通に接続させるように構成しても良い。また、実施例では、出力用トランジスタ22としてコレクタ接地のバイポーラ・トランジスタを用いているが、ドレイン端子が外部端子に接続されたPチャネルMOSFETあるいはCMOSインバータその他のバッファ回路を用いるようにしても良い。少なくとも出力のワイヤード論理をとってコントローラチップCONTの入出力端子に出力できるものであればどのような構成であっても良い。また、複数のテスト用入出力回路の出力のワイヤード論理をとってコントローラチップCONTの入出力端子に供給する代わりに、直接カードの外部端子へ出力するように構成することも可能である。

【0032】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリを内蔵したメモリカードに適用した場合について説明したが、この発明はそれに限定されるものでなく、EEPROMチップやRAMチップを内蔵したメモリカードあるいは複数のメモリチップを1枚のボード上に搭載してなるメモリモジュールなどにも利用することができる。

【0033】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0034】すなわち、この発明は、メモリカードの選別試験に要する時間の大幅な短縮が可能になるという効果を有する。

【図面の簡単な説明】

【図1】本発明を適用したフラッシュメモリカードの第1の実施例を示すブロック図である。

【図2】実施例のテスト用入出力回路の具体的な回路構成例を示す図である。

【図3】テスト用入出力回路の他の回路構成例を示す図

である。

【図4】本発明を適用したフラッシュメモ리카드의第2の実施例を示すブロック図である。

【符号の説明】

- 10 プリント配線基板
- 11 アドレスバス
- 12 コントロールバス
- 20 テスト用入出力回路

21 レベル変換回路

22 出力トランジスタ

CONT コントローラチップ

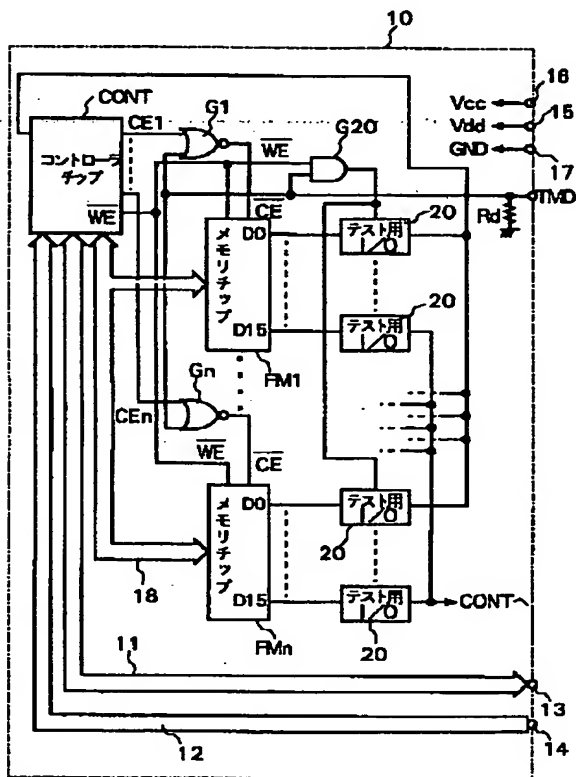
FM1~FMn フラッシュメモリチップ

T0~T15 データ入出力端子

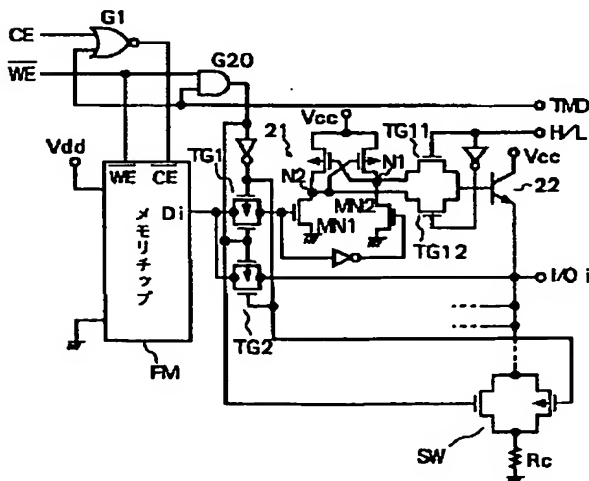
CE1~CEn チップ選択信号

/WE 読出し・書込み制御信号

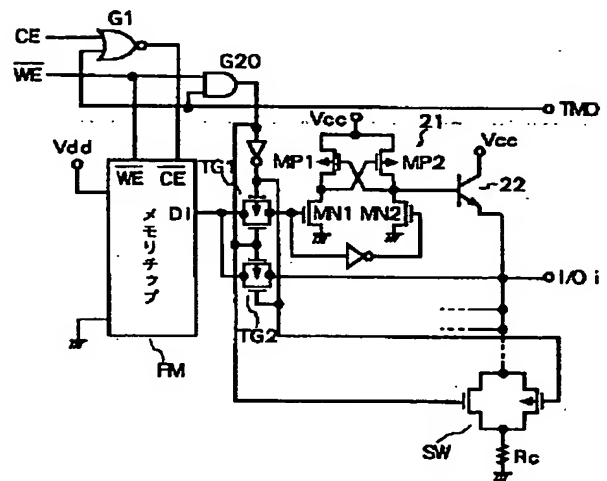
【図1】



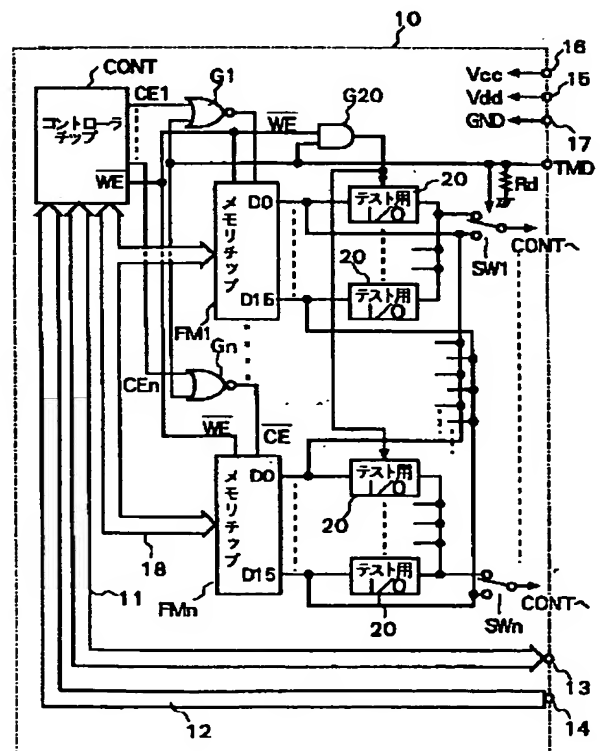
【図3】



【図2】



【図4】



フロントページの続き

(72)発明者 波多野 進
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 深澤 真一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内